

(11)Publication number : 64-041522

(43)Date of publication of application : 13.02.1989

(51)Int.Cl.

H03L 7/10
H04B 1/26

(21)Application number : 62-198460

(71)Applicant : SHARP CORP

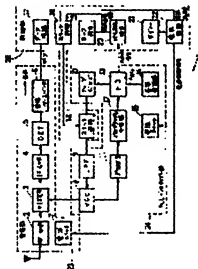
(22)Date of filing : 07.08.1987

(72)Inventor : SUMIKAWA KEIICHIRO

(54) PHASE LOCKED LOOP CIRCUIT**(57)Abstract:**

PURPOSE: To reduce the lock time et intermittent operation by providing a switching means and a voltage storage means storing an input voltage to a voltage controlled oscillator circuit just before the open circuit between a phase comparator and an LPF.

CONSTITUTION: The switching circuit 16 interposed between the phase comparator (PD) 13 and the LPF 9, a charge pump 10 storing an input voltage to the voltage controlled oscillator circuit (VCO) 8 just before the open circuit and a switch control means 18 opening a loop by the switch 16 in the presence of the open circuit command, giving the said storage voltage to the VCO 8 when the open command exists and closing the loop by the switch 16 when the phase difference detected by the PD 13 reaches a prescribed value or below, are provided. When the power of the PLL circuit is switched from OFF to ON in the intermittent operation, the preceding frequency is taken over. Moreover, the loop is closed with a large phase difference and the frequency is not largely deviated. The lock time at the intermittent operation is shortened by the operation.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

④ 公開特許公報 (A) 昭64-41522

④ Int. Cl.*

H 03 L 7/10
H 04 B 1/28

識別記号

庁内整理番号

D-8731-5J
U-7251-5K

④ 公開 昭和64年(1989)2月13日

審査請求 未請求 発明の数 1 (全6頁)

④ 発明の名称 フェーズ・ロッド・ループ回路

④ 特 願 昭62-199460

④ 出 願 昭62(1987)8月7日

④ 発 明 者 澄 川 意 一 郎 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社

④ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

④ 代 理 人 弁理士 本 庄 武 男

明 細 書

1. 発 明 の 名 称

フェーズ・ロッド・ループ回路

2. 特 許 請 求 の 范 囲

1. 伝播比較回路と、ローパスフィルタと、電圧調整回路とがループを形成してなるフェーズ・ロッド・ループ回路において、

伝播比較回路とローパスフィルタの間またはローパスフィルタと電圧調整回路の間に分設されてループをオープンする手段と、オープン直後の電圧調整回路への入力電圧を記憶する電圧記憶手段と、オープン指令があると前記スイッチ手段でループをオープンすると共にクロス指令があると前記記憶電圧を前記電圧調整回路に人力し前記記憶手段で記憶した伝播差を検出し伝播差が所定値以下となったときに前記スイッチ手段でループをクロスするスイッチ調整手段とを具備したことを特徴とするフェーズ・ロッド・ループ回路。

3. 発 明 の 他 の 利 用 分 野

(産業上の利用分野)

本発明は、フェーズ・ロッド・ループ回路に関し、更に詳しくは、開欠動作させる場合に周波数引き込み誤差を短縮できるようにしたフェーズ・ロッド・ループ回路に関する。

(従来の技術)

コードレス電話やページ等の携帯無線機においては、電波の消耗を防ぐために、受信すべき電波の電圧があるまでは開欠動作を行わせている。即ち、受信側基盘中に電力を供給して電圧を受信できる状態で待機する待受状態と、必要最低限の部分のみは電力の供給をカットして電機を待受できないが電力消費を抑制する待受動作とを交互に繰り返すことを行っている。

フェーズ・ロッド・ループ回路(以下、P・L・L回路という)は、携帯無線機のチューナ部のシンセサイザとして広く採用されており、上記開欠動作時には、P・L・L回路も開欠動作させられている。

(無効が實現しようとする間隔値)

チャージ部にP-Lし回路を用いた場合、P-Lし回路の電圧引き込み過程(プルインレージ)を過でロックされるまでの時間(ロックタイム)は正しい発振状態に入れない。従って、ロックタイムは短い方が好ましい。

ところが、P-Lし回路を開欠動作させると、その電圧電流オフから立ち上がるため、前記ロックタイムが長くなってしまふ間隔値がある。

従って、本発明の目的とするところは、開欠動作時にかけるロックタイムを短縮可能としたP-Lし回路を提案することにある。

(問題点を解決するための手段)

本発明のP-Lし回路は、位相比較回路と、ローパスフィルタと、電圧制御回路とがループを形成して成るフェーズ・ロックド・ループ回路において、位相比較回路とローパスフィルタの間またはローパスフィルタと電圧制御回路の間に介装されてループをオープンする手段と、オープン直後の電圧制御回路出力端への入力電圧を記憶する電

圧記憶手段と、オープン後があると前記スイッチが開放でループをオープンすると共にクロズ指令があると前記記憶電圧を前記電圧制御回路に入力し前記位相比較回路で後相差を修正し後相差が所定値以下となったときに前記スイッチを開放でループをクロズするスイッチ制御手段とを具備したことを特徴とするものである。

[作例]

本発明のP-Lし回路では、電圧記憶手段によって電圧制御回路出力端への入力電圧を記憶しておくことが出来るので、開欠動作時において、P-Lし回路の電圧がオフからオンに移り始めた時、以降の間隔値からスタートできる。従って、初期の間隔値はずれを少なく出来る。

また、スイッチ制御手段によって、後相差が所定値以下となった時にループをクロズすることが出来るので、後相差が大きくなまらループをクロズして、周波数を大きく外してしまうことが防止される。

そこで、これらの作用より、開欠動作時におけ

3

るロックタイムを短縮することが出来る。

そして、後相差短縮で開欠動作させる時の待ち受け時間をロックタイムの短縮に伴って短縮することが出来るようになるから、消費電力を低減出来るようになる。

(實施例)

以下、図に示す実施例に基づいて本発明を更に詳しく説明する。ここに第1圖は本発明の一實施例のP-Lし回路を含む消費増進電圧のブロック図、第2圖は本発明におけるスイッチ制御と電圧記憶手段とに對應する回路部分の具体的な例示図、第3圖は本発明におけるスイッチ制御手段に前記する回路部分の具体的な例示図、第4圖は第1圖に示す回路図の各部の符号接点図である。尚、図に示す実施例による本発明が限定されるものではない。

第1圖に示す消費増進電圧1は、発振部23と、P-Lしコンセリヤ部24と、制御部25の3つの部分からなっている。

発振部23は、発振素子の構成と同様であり、開欠動作のための電圧スイッチ回路7が接続され

4

ている。

P-Lしコンセリヤ部24は、電圧制御回路1と、ローパスフィルタ9と、チャージポンプ10と、プリスクウェア11と、ブロードバンド分周器13と、位相比較回路15と、基準電圧器14とを有し、また、開欠動作のための電圧スイッチ制御18を有している。

ここで注意すべきことは、ローパスフィルタ9とチャージポンプ10との間に、スイッチ回路18が介装されていることである。

位相比較回路13は、チャージポンプ10への出力の他に、位相差のあるときにパルスが出現するアンロック信号を出力している。

第2圖は、ローパスフィルタ9、スイッチ回路18、チャージポンプ10と具体的な例示したものである。

制御部25は、前記スイッチ回路18を制御するためのスイッチ制御回路18と、開欠動作を制御するためのタイマー回路21および電圧制御回路22と、前記位相比較回路13からのアンロック

5

5

ク信号に応じて位相逆符号等を出力するパルス幅送出回路29とを具備している。位相逆符号等は、前記スイッチ制御回路18に入力されている。

第3図は、スイッチ制御回路18、パルス幅送出回路29を具体的に例示したものである。

次に、第1図～第3図及び第5図に示す信号波形図を参照し、図4動作時の動作を説明する。

まず、待ち受け動作の状態では、受信部23、プレシジョンセタイザ回路24、制御部25の全てに電力が供給され、電圧を受信部26で検出して持続している。ここで誘導用受電部11は、送電用の電線の送電チャンネルと、通信制御用の制御チャンネルとを有しているが、待ち受け動作では、制御チャンネルの電線を切っている。

待ち受け動作を所定時間継続すると、タイマー回路21及び電圧制御回路22から出力される電圧オン信号が「1」になる。すると、第3図に示すようにスイッチ回路18がオフされ、第2図に示すようにローパスフィルタ5のコンデンサCは電圧の電圧を保持した状態となる。

T

する周波数となり、それは先の待ち受け動作における周波数とは異なる周波数である。従って、立ち上がりに必要な時間が短縮される。

ところで、位相比較回路18に入力される電圧制御回路22からの信号と基準周波数14からの信号の位相差が大きいと、両信号の周波数が合致していても、ループがクローズされた時に周波数が大きく外れてしまう危険がある。

しかし、スイッチ回路18は、位相逆符号等を持ってから閉じられるため、かかる周波数はずれは防止される。即ち、第3図に示す「N」T状態によって、電圧立ち上がり時にはスイッチ回路18を閉じないようとする。そして、位相差が大きいつ時に出力されるアンロック信号が入力されている間は、スイッチ回路11を閉じないようとする。そして、電圧が完全に立ち上がり、且つ、周波数が大きくなくてアンロック信号が入力されない時にスイッチ回路16を閉じられる。

そこで結局、周波数がほぼ合致し、且つ、位相差のない状態でループがクローズされるので、周

電圧制御回路22は、スイッチ回路18をオフにした後、電圧スイッチ回路21及び25を作動し、受信部23とプレシジョンセタイザ回路24の電圧を調節する。また、制御部25のデータ送信回路17、ロック検出回路15、パルス幅送出回路29の電圧を調節する。かくして、電圧の調整は出来るが、消費電力を抑制した休止動作に移行する。

休止動作を所定時間継続すると、タイマー回路21及び電圧制御回路22は、電圧オン信号を「H」にし、発信部23及びプレシジョンセタイザ回路24の電圧をオンとする。また、制御部25のデータ送信回路17、ロック検出回路19、パルス幅送出回路29の電圧をオンにする。

しかし、スイッチ回路18は、電圧オン信号が「H」となっても、パルス幅送出回路29からの位相逆符号信号が入力されないかぎり、ループがクローズしない。

そこで、電圧制御回路22からの電圧の周波数は、ローパスフィルタ5に保持されている電圧に追随

B

放散外れを生じず、短時間でプレシジョンロックする。

かくして、プレシジョンのロックタイムを短縮できるため、待ち受け動作の時間を短縮できるようになる。そこで、受信すべき電圧の電圧があるまでの時間に誘導用受電部11が消費する電力を低減できることとなる。

【発明の効用】

本発明によれば、位相比較回路と、ローパスフィルタと、電圧制御回路とがループを形成して成るフェーズ・ロック・ループ回路において、位相比較回路とローパスフィルタの間またはローパスフィルタと電圧制御回路の間に介装されるループをオープンする手段と、オープン直前の電圧制御回路電源への入力電圧を記憶する電圧記憶手段と、オープン信号があると前記スイッチ手段でループをオープンすると共にクローズ指令があるとき前記電圧を前記電圧制御回路電源に投入し、前記位相比較回路で位相差を検出し電圧が所定値以下となったときに前記スイッチ手段でループ

をクローズするスイッチ制御手段とを具備したことを特徴とするフェーズ・ロックド・ループ回路が提供され、これにより周波数引き込みに要する時間すなわちロックタイムを短縮できるようになる。

そこで、かかるフェーズ・ロックド・ループ回路を用いた誘導受電装置において、同次動作をすなわちの待ち受け動作の時間を短縮できることとなり、低消費電力化を促進できる。

4. 図面の簡単な説明

第1図は本発明の一実施例のPLL回路を含む誘導受電装置のブロック図、第2図は本発明におけるスイッチ手段と電圧記憶手段とに對する同種部分の具体的例示図、第3図は本発明におけるスイッチ制御手段に對する同種部分の具体的例示図、第4図は第3図に示す回路図の各部の符号説明図である。

【符号の説明】

1…誘導受電装置

8…電圧制御回路部

9…ローパスフィルタ

10…チャージポンプ

11…位相比較回路

12…スイッチ回路

13…スイッチ制御回路

20…パルス幅検出回路

21…タイマー回路

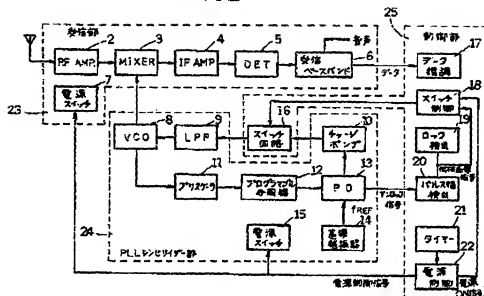
22…電源制御回路

7、15…電源スイッチ回路。

出願人 シャープ株式会社

代理人 赤星士 本庄 寛男

第1図



第2図

